

整理番号:74112157

発送番号:278759

発送日:平成15年 8月13日

1

拒絶理由通知文書

特許出願の番号	特願2000-094325
起案日	平成15年 8月 6日
特許庁審査官	扇谷 高男 7819 4M00
特許出願人代理人	金田 誠之 (外 2名) 様
適用条文	第29条第2項

&lt;&lt;&lt; 最 後 &gt;&gt;&gt;

この出願は、次の理由によって拒絶をすべきものである。これについて意見があれば、この通知書の発送の日から60日以内に意見書を提出して下さい。

## 理由

1. この出願の下記の請求項に係る発明は、その出願前日本国内又は外国において頒布された下記の刊行物に記載された発明又は電気通信回線を通じて公衆に利用可能となった発明に基いて、その出願前にその発明の属する技術の分野における通常の知識を有する者が容易に発明をすることができたものであるから、特許法第29条第2項の規定により特許を受けることができない。

記 (引用文献等については引用文献等一覧参照)

## 【請求項1~7】

- |        |     |
|--------|-----|
| ・理由    | 1   |
| ・引用文献等 | 1~5 |
| ・備考    |     |

引用文献1には、シリンダー型の下部容量電極を有するDRAMメモリセル領域、DRAM周辺回路領域、及びCMOSロジック回路領域を半導体基板に混載する半導体集積回路装置の製造方法が記載されており（特に図31参照）、引用文献2には、スタック型キャパシタを有するメモリセル部、及び周辺回路部・ロジック回路部を備える半導体装置の製造方法において、メモリセル部、及び周辺回路部・ロジック回路部の層間絶縁膜上に多結晶シリコン膜を形成し、所望の雰囲気中で熱処理を行うこと、及びロジック回路部が有するpチャネルトランジスタのポリシリコンゲート電極にボロンを注入することが記載されており（特に図2、3参照参照）、引用文献3には、周辺回路部とメモリセル部とを有する半導体装置の製造方法において、周辺回路部及びメモリセル部上に層間絶縁膜を形

整理番号:74112157 発送番号:278759 発送日:平成15年 8月13日 2/E

成し、メモリセル部上の層間絶縁膜に開口部を形成し、開口部内部と前記層間絶縁膜の表面に全面にわたりポリシリコン膜を形成し、ポリシリコン膜の表面に粒状結晶を形成し、レジストをマスクとしてドライエッチングをして開口部にキャパシタのシリンドー型下部電極を形成することが記載されており（特に図21～24参照）、前記引用文献3において、ポリシリコン膜の形成領域を周辺回路領域に限定する特別な理由はなく、引用文献2に記載されているようにロジック回路部が混載されている場合には、メモリセル部、及び周辺回路部・ロジック回路部の全面にわたりポリシリコン膜を形成するのが選択的にポリシリコン膜を形成するより合理的であり、引用文献4には、シリンドー上の開口部を形成する層間絶縁膜としてBPSG膜を用いることが記載されており（特に図7参照）、引用文献5には、周辺回路領域に設けたCMOSにおいて、pチャネルトランジスタのゲート電極をn+ポリシリコンとしたものが記載されており（特に図1参照）、n型の不純物としてリンは周知なものであるから、本願の請求項1～7に係る発明のようにすることは、当業者が必要に応じて適宜なし得る程度のことである。

したがって、本願の請求項1～7に係る発明は、引用文献1～5に記載された発明に基いて、当業者が容易に発明をすることができたものである。

#### 引用文献等一覧

1. 特開平11-261021号公報
2. 特開2000-082803号公報
3. 特開平11-186524号公報
4. 特開平11-307740号公報
5. 特開平07-066295号公報

#### 最後の拒絶理由通知とする理由

1. 最初の拒絶理由通知に対する応答時の補正によって通知することが必要になった拒絶の理由のみを通知する拒絶理由通知である。